

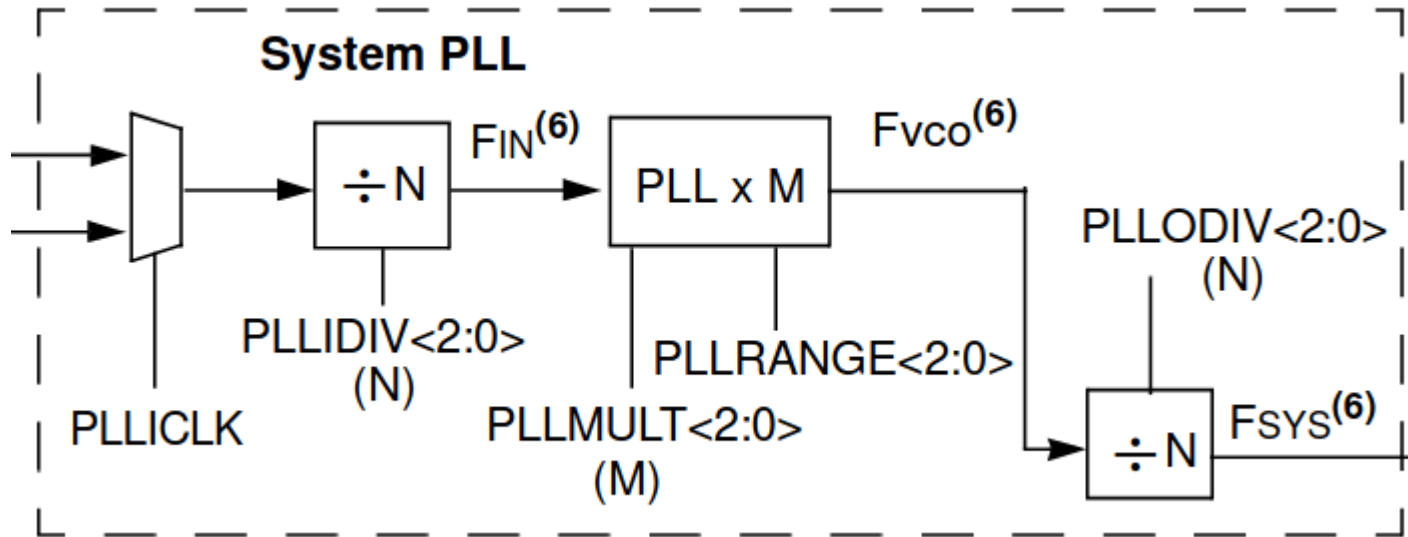


Moduli PIC32MZ mikrokontrolera

Mikroprocesorski merno-informacioni sistemi 2

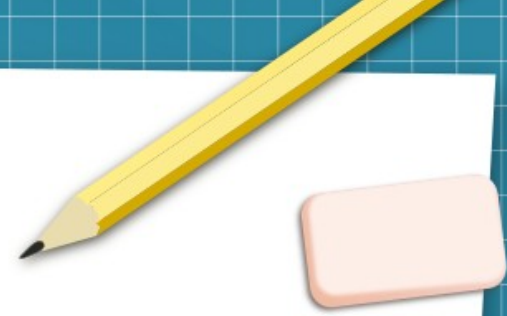
Oscilator

- Više načina za dovođenje takta unutrašnjeg ili spoljašnjeg
- Neki signali se mogu dovesti na PLL



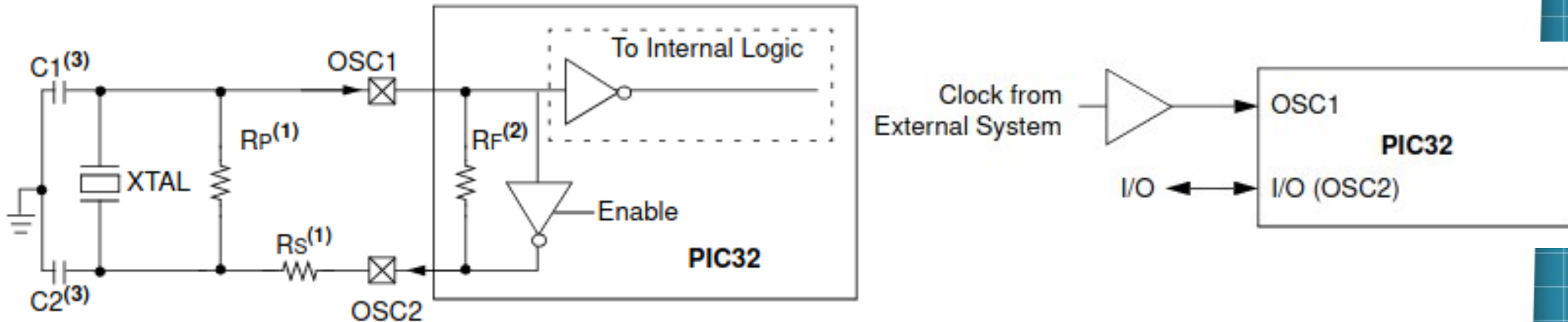
Takt

- Glavni elementi na koje se dovodi takt u mikrokontroleru su:
 - Sistemski takt
 - Periferijski taktovi PBCLKx – Takt periferijskih jedinica
 - Takt USB modula
- Izvori takta mogu biti:
 - Primarni oscilator POSC
 - Sekundarni oscilator SOSC
 - Unutrašnji brzi RC oscilator FRC
 - Unutrašnji *backup* RC oscilator BFRC
 - Unutrašnji *low-power* RC oscilator LPRC



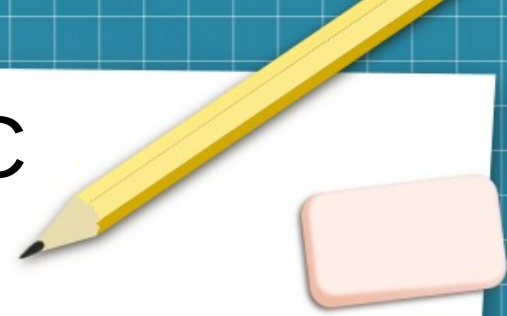
POSC – Primarni oscilator

- Modovi:
 - HS – High Speed – OSC2 obezbeđuje spregu za oscilator, a oscilacije se dobijaju na OSC1 pinu
 - EC – External Clock – Na pin OSC1 se direktno dovodi takt



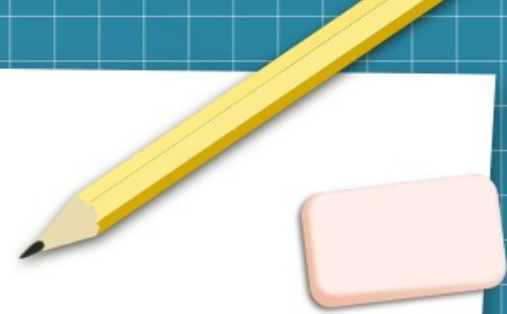
Sekundarni oscilator - SOSOC

- Predviđen za *Low power* modove rada
- Frekvencija 32,768 kHz
- Povezuje se na pinove SOSOCO i SOSOCI
- Koristi se za taktovanje RTCC modula, Tajmera 1...
- Na pin SOSOCI se može direktno dovesti signal iz izvora frekvencije 32,768 kHz



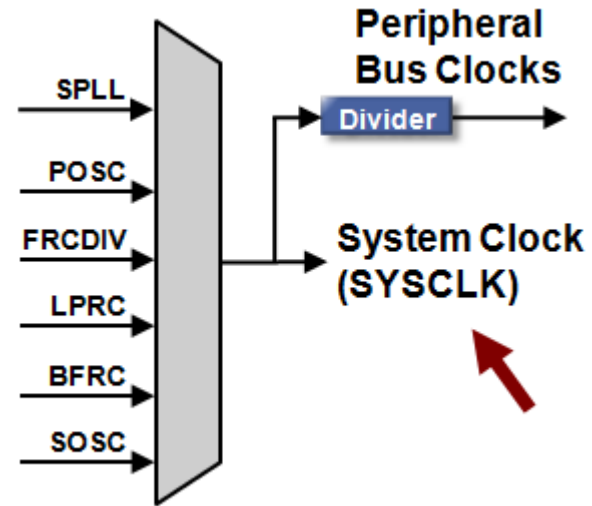
Interni oscilatori

- FOSC – unutrašnji brzi oscilator frekvencije 8 MHz
- Korišćenjem OSCTUN registra moguće je dodatno podesiti frekvenciju i do $\pm 12\%$
- LPRC – oscilator nominalne frekvencije 31,25 kHz
- LPRC koriste moduli Power-up tajmer (nakon reseta generiše pauzu kako bi se stabilizovao napon), Watch dog tajmer, Fail-Safe Clock Monitor (omogućuje rad korišćenjem BFRC oscilatora u slučaju da podešeni oscilator ne proradi) i koristi se kao takt PLL kola.
- Loša stabilnost frekvencije, koriste se u situacijama kada tačnost nije bitna



SYSCLK

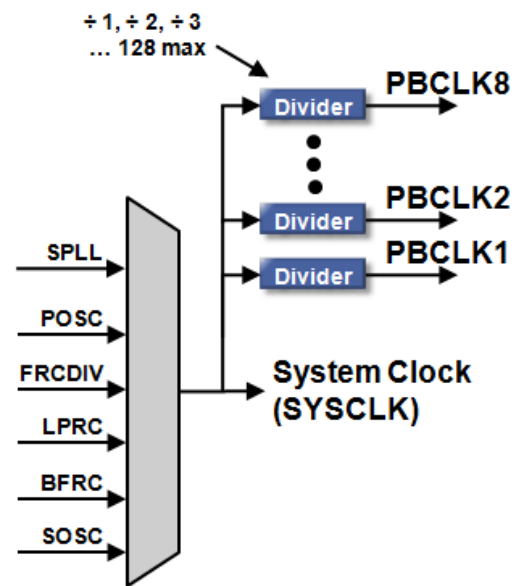
- Predstavlja takt za:
 - Periferijske taktove
 - DMA
 - Prekide
 - Flash memoriju



- Kod PIC32MZ CPU se taktuje PBCLK7 periferijskim taktom

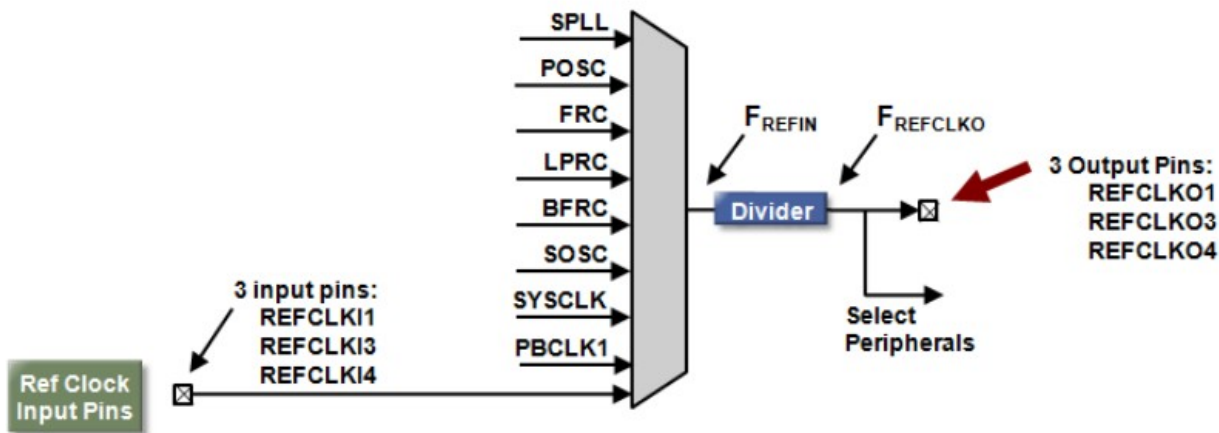
PBCLK periferni takt

- Svaka periferija ima svoj takt
- PBCLK je izveden iz SYSCLK
- Svaki PBCLK ima delitelj frekvencije na ulazu
- Maksimalna brzina većine je 100 MHz
- Jedino PBCLK1 se može povezati na 200 MHz
- Vrednost deljenja može se menjati i u toku rada



REFCLK – Referentni takt

- Referentni takt omogućuje generisanje signala na pinu ili se može koristiti kao takt za pojedine periferije
- Izvori takta mogu biti: REFCLKI pin, FRC, LPRC, SOSC oscilatori, PBCLK1, SYSCLK, BFRC



$$F_{REFOUT} = \frac{F_{REFIN}}{2 \cdot \left(N + \frac{M}{512}\right)}$$

Where:

F_{REFOUT} = Output Frequency

F_{REFIN} = Input Frequency

N = RODIV<14:0>

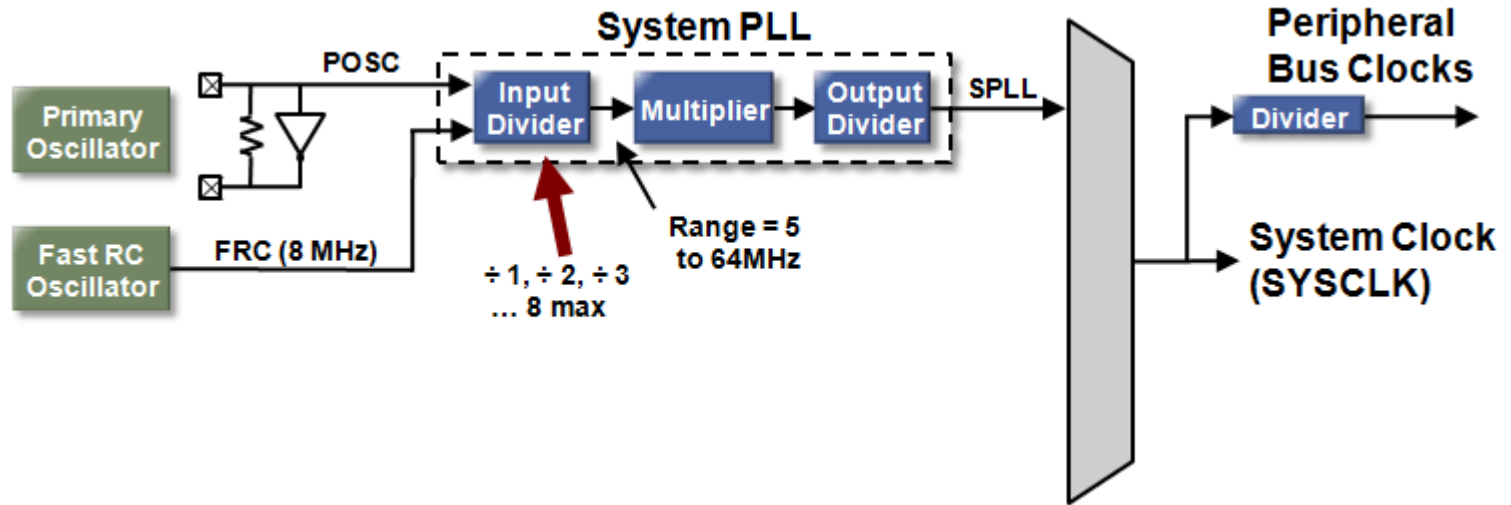
M = ROTRIM<8:0>

When $N = 0$, the initial clock is the same as the input clock

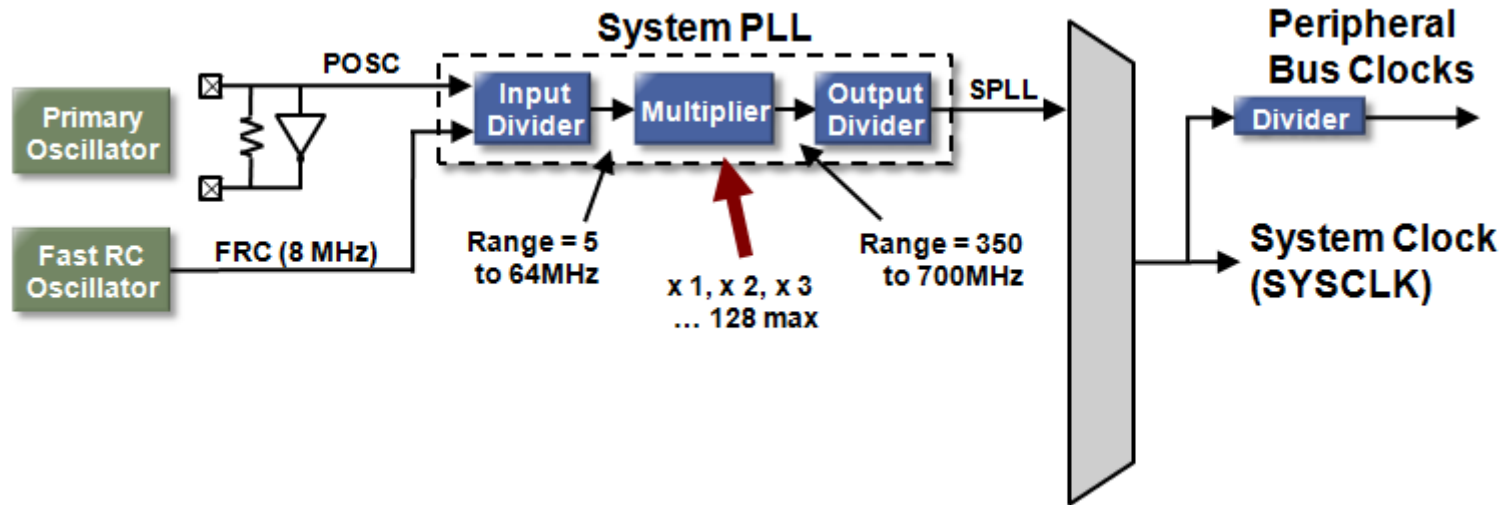
For example, for an input frequency of 100 MHz, an N of 5 and an M of 256, the resulting frequency would be:

$$F_{REFOUT} = \frac{100MHz}{2 \cdot \left(5 + \frac{256}{512}\right)} \cong 9.091MHz$$

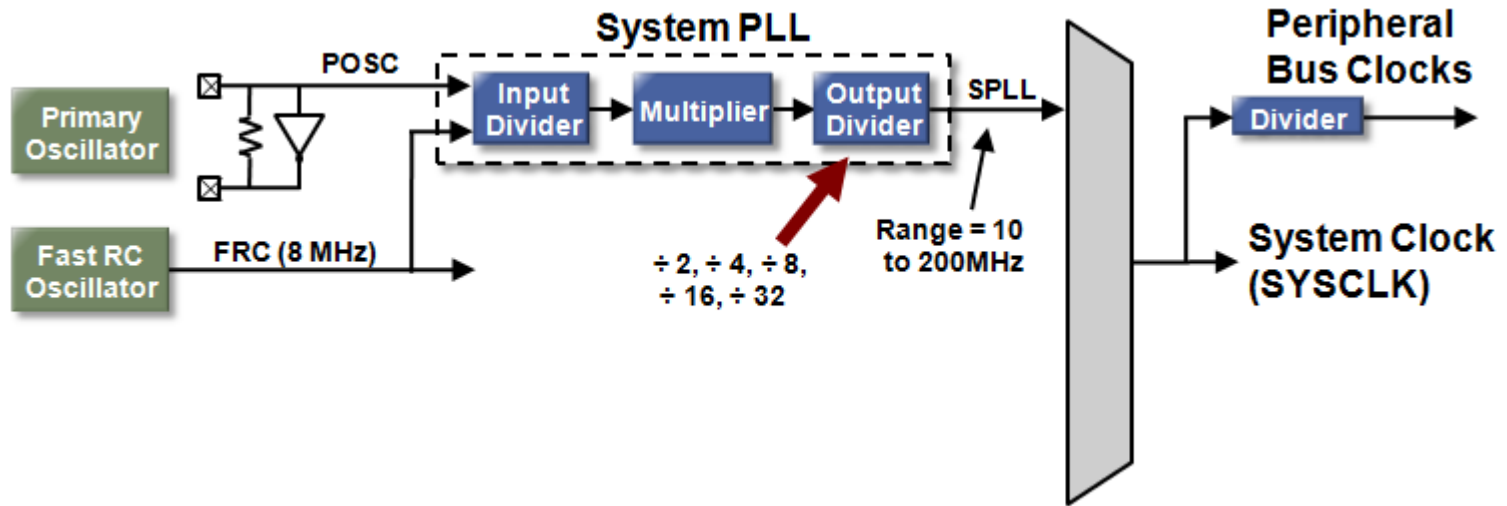
PLL podešavanja



PLL podešavanja



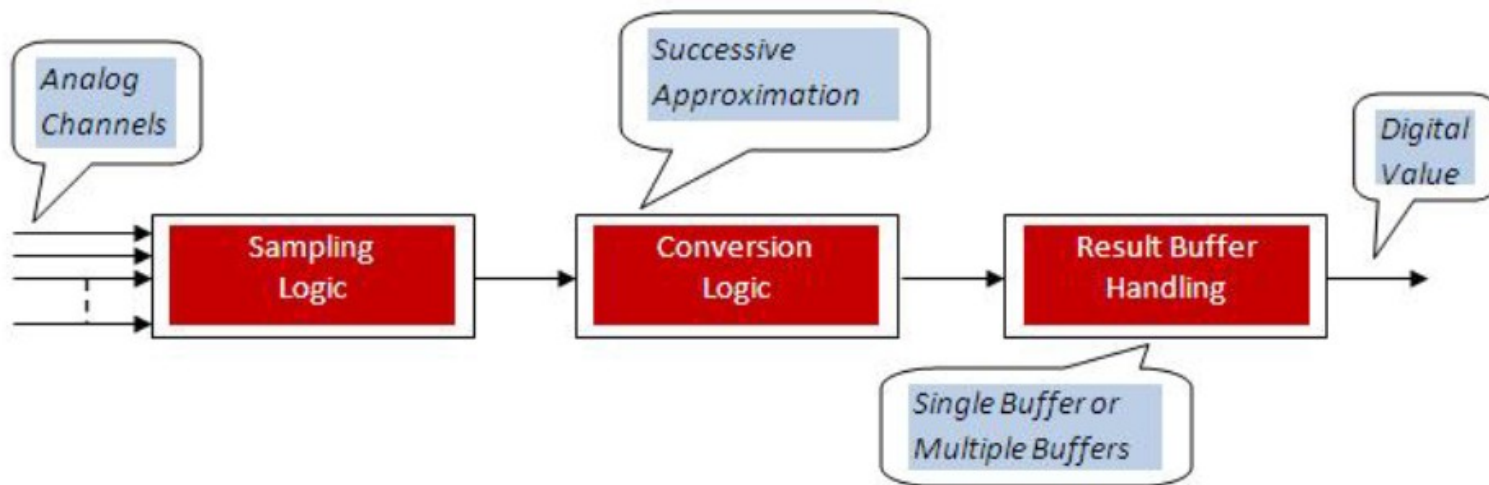
PLL podešavanja



AD konvertor

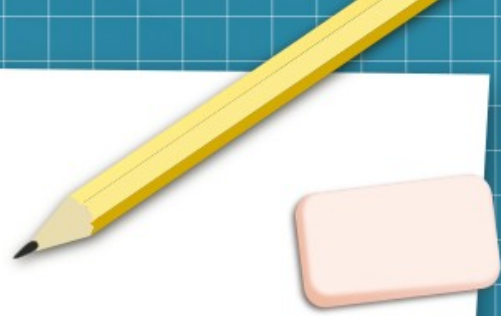
- 12 bitni SAR ADC
- 6 nezavisnih modula
- 48 kanala

Hardware Abstraction Block Diagram



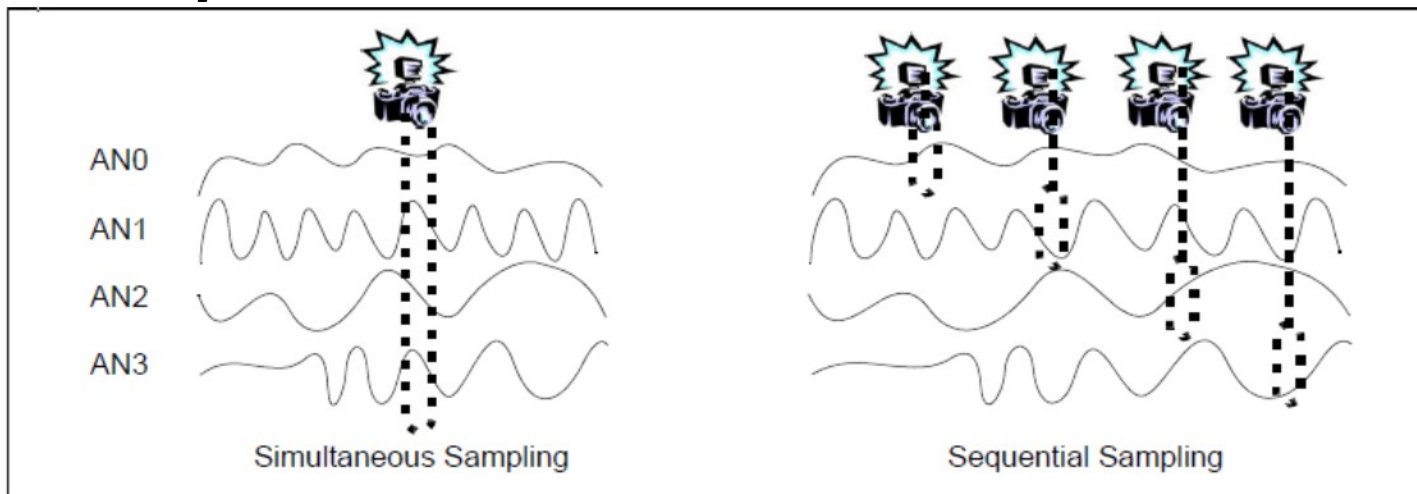
ADC

- Konverzija može biti pokrenuta:
 - Softverski (programer definiše kada će se započeti konverzija)
 - Kontinualno odabiranje (Free-running)
 - Drugim hardverskim modulima (npr. Tajmerom)

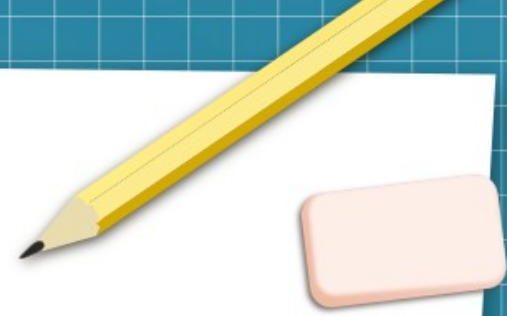


Povezivanje više ADC modula

- Moguće je povezati više ADC i to:
 - Da sukcesivno vrše odabiranje kako bi se dobila veća brzina odabiranja
 - Da paralelno vrše odabiranje kako bi se proverilo da li su odabirani podaci valjani



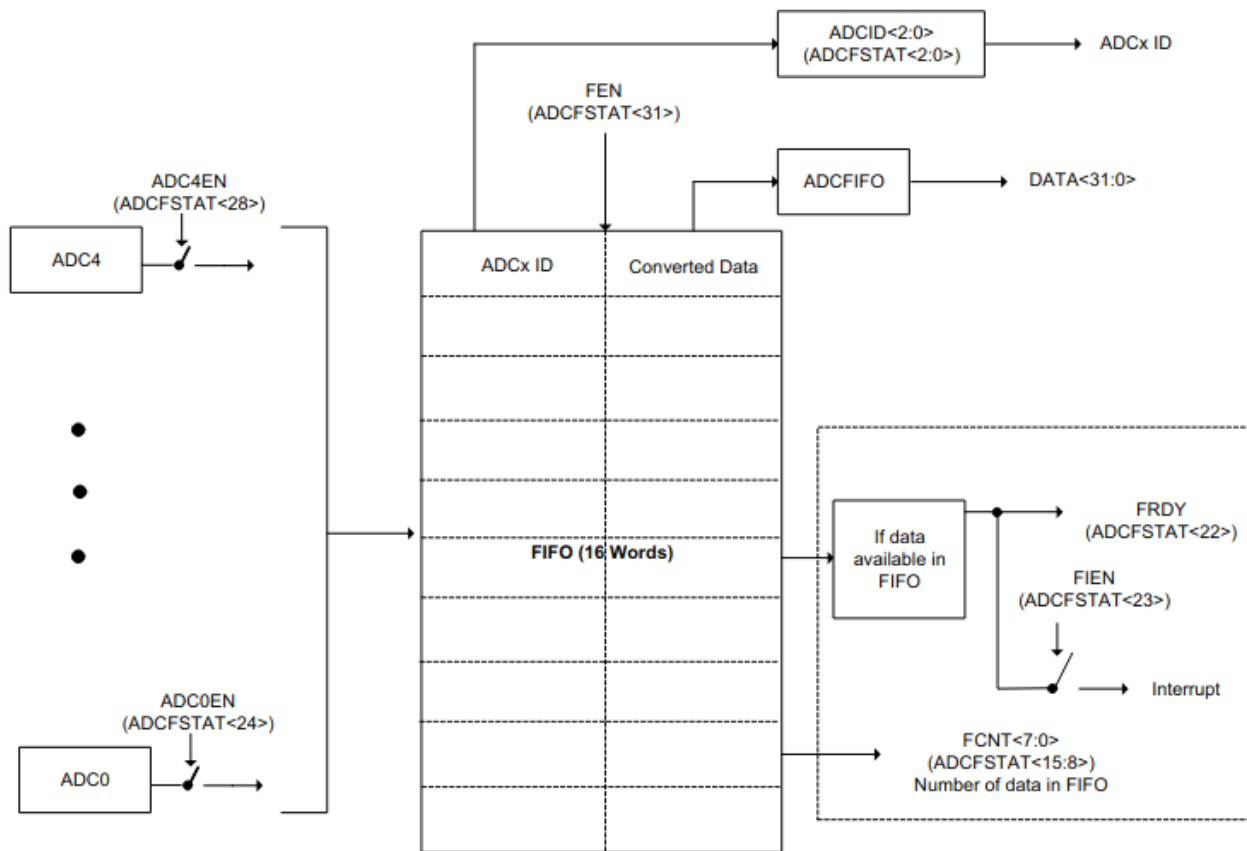
Sekvencijalno odabiranje



#No. of Interleaved ADC Possible	ADC T _{AD} (min) = 20 ns (50 Mhz max.)			
	12-bit (max.) msp/s	10-bit (max.) msp/s	8-bit (max.) msp/s	6-bit (max.) msp/s
1	3.125 msp/s	3.571 msp/s	4.167 msp/s	5.0 msp/s
2	6.250 msp/s	7.143 msp/s	8.333 msp/s	10.00 msp/s
3	8.330 msp/s	10.00 msp/s	12.50 msp/s	12.50 msp/s
4	12.50 msp/s	12.50 msp/s	16.667 msp/s	16.667 msp/s

Note: Interleaved ADCs in this context means connecting the same analog source signal to multiple dedicated Class_1 ADCs (i.e., ADC0-ADC4), and using independent staggered trigger sources accordingly for each interleaved ADC.

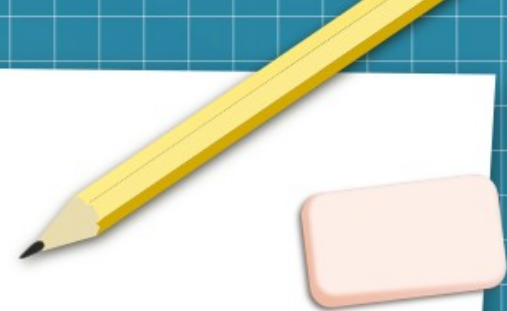
FIFO bafer



- Moguće ga je opciono uključiti
- Cirkularni bafer
- Smešta odbirke sa AD konvertora
- Može smestiti do 128 odbiraka

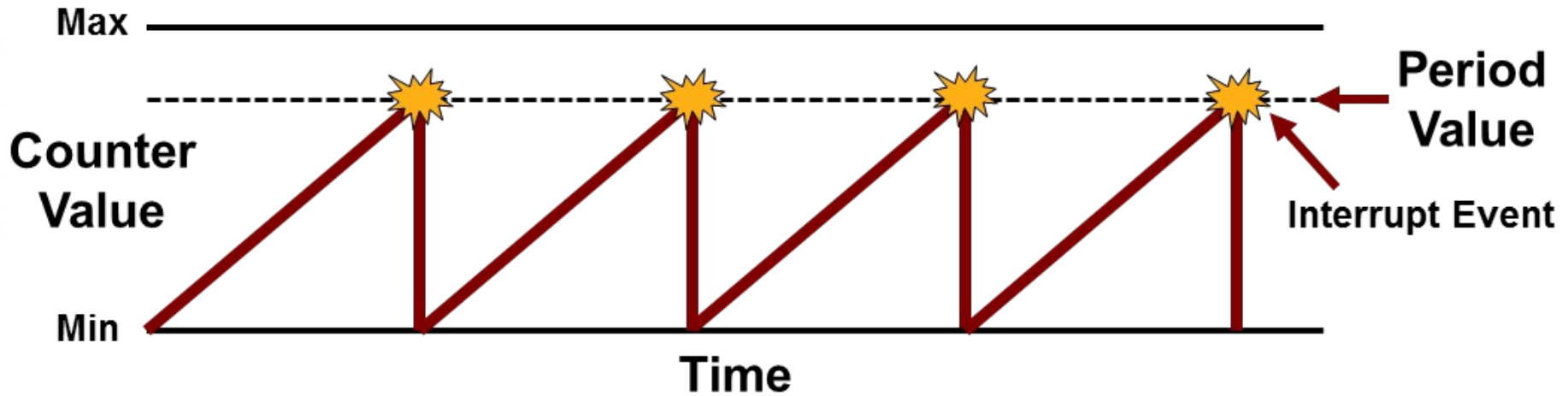
Tajmeri

- PIC32MZ2048EFH144 ima dve grupe tajmera:
 - Tajmer1 sa modovima:
 - 16 bitni tajmer
 - Sinhroni unutrašnji tajmer
 - Sinhroni unutrašnji gejtovani tajmer
 - Spoljašnji sinhroni i asinhroni tajmer
 - Tajmer2/3, Tajmer4/5, Tajmer6/7 i Tajmer8/9 sa modovima:
 - 16 bitni ili 32 bitni tajmeri
 - Sinhroni unutrašnji tajmer
 - Sinhroni unutrašnji gejtovani tajmer
 - Spoljašnji sinhroni tajmer



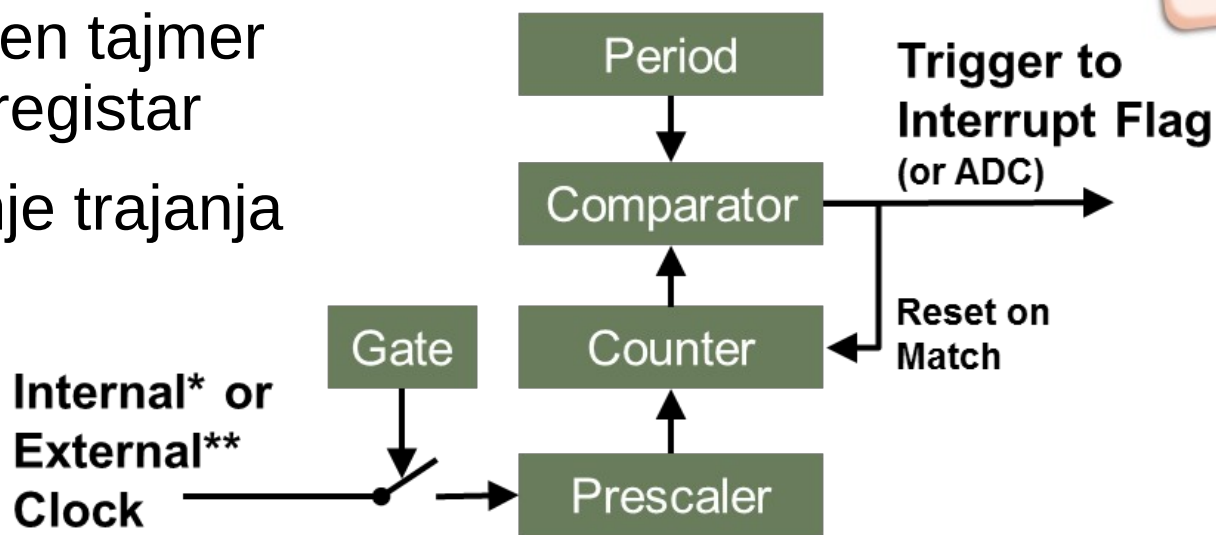
Tajmer u negejtovanom modu

- Radi kao tajmer u modu poređenja (compare mode)



Tajmer u gejtovanom modu

- Kada je gate uključen tajmer uvećava tajmerski registar
- Koristi se za merenje trajanja spoljašnjeg signala



Note:

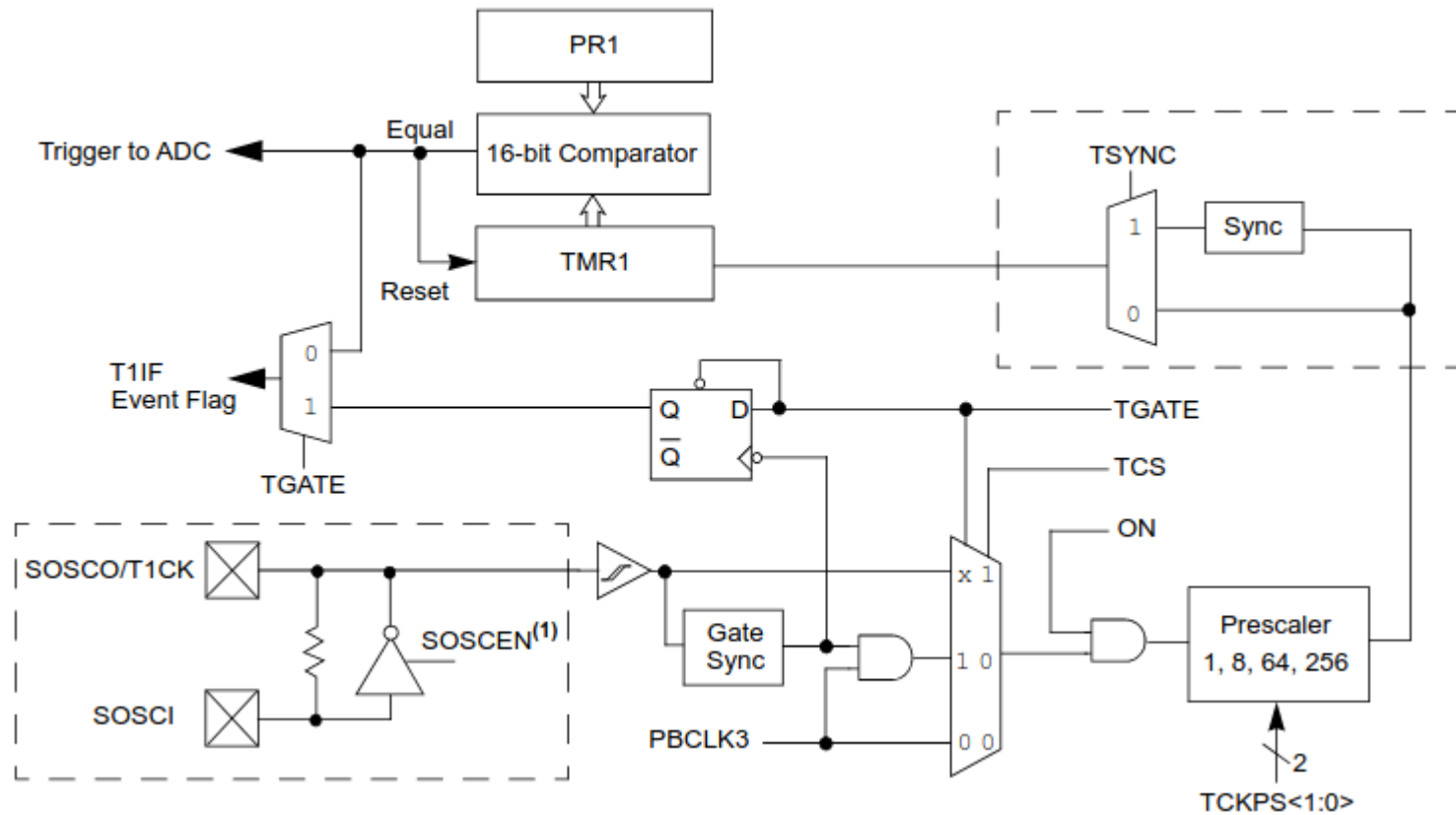
- * Internal clock for PIC32MX = PBCLK
Internal clock for PIC32MZ = PBCLK3
- ** External clock is the TxCK pin

Tajmer 1 vs Ostali tajmeri

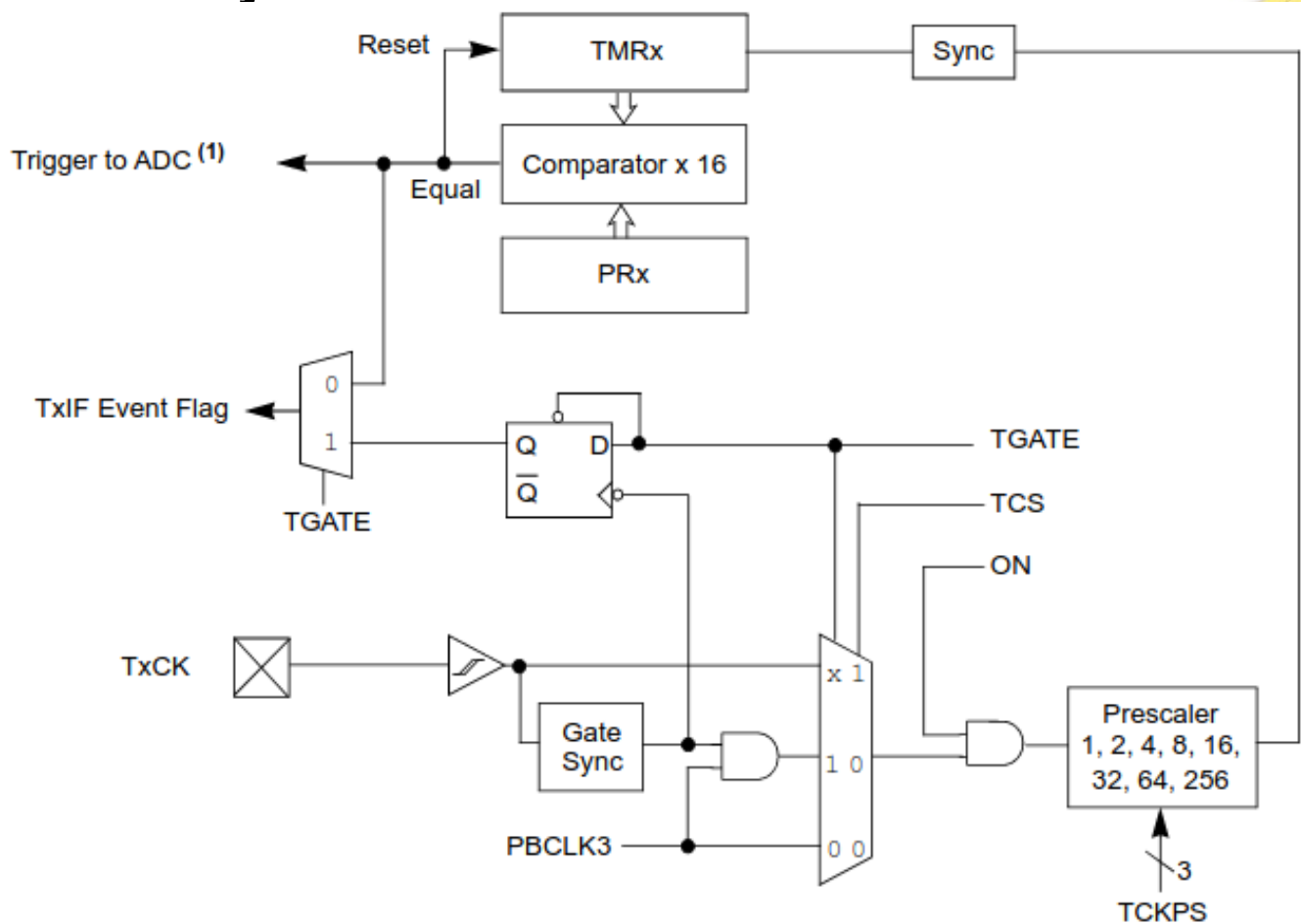


- Tajmer 1 može da radi dok je CPU u sleep modu (u asinhronom spoljašnjem modu)
- U kombinaciji sa SOSC može da radi kao RTC
- Kombinacijom tajmera 2 i 3, 4 i 5, 6 i 7, 8 i 9 dobijaju se 32 bitni tajmeri. Tom prilikom kontrola se vrši preko svakog tajmera sa parnom oznakom (2,4,6,8), dok se podatak o prekidu dobija sa neparnih(3,5,7,9).
- Svaki od tajmera može raditi nezavisno ali samo u 16 bitnom modu

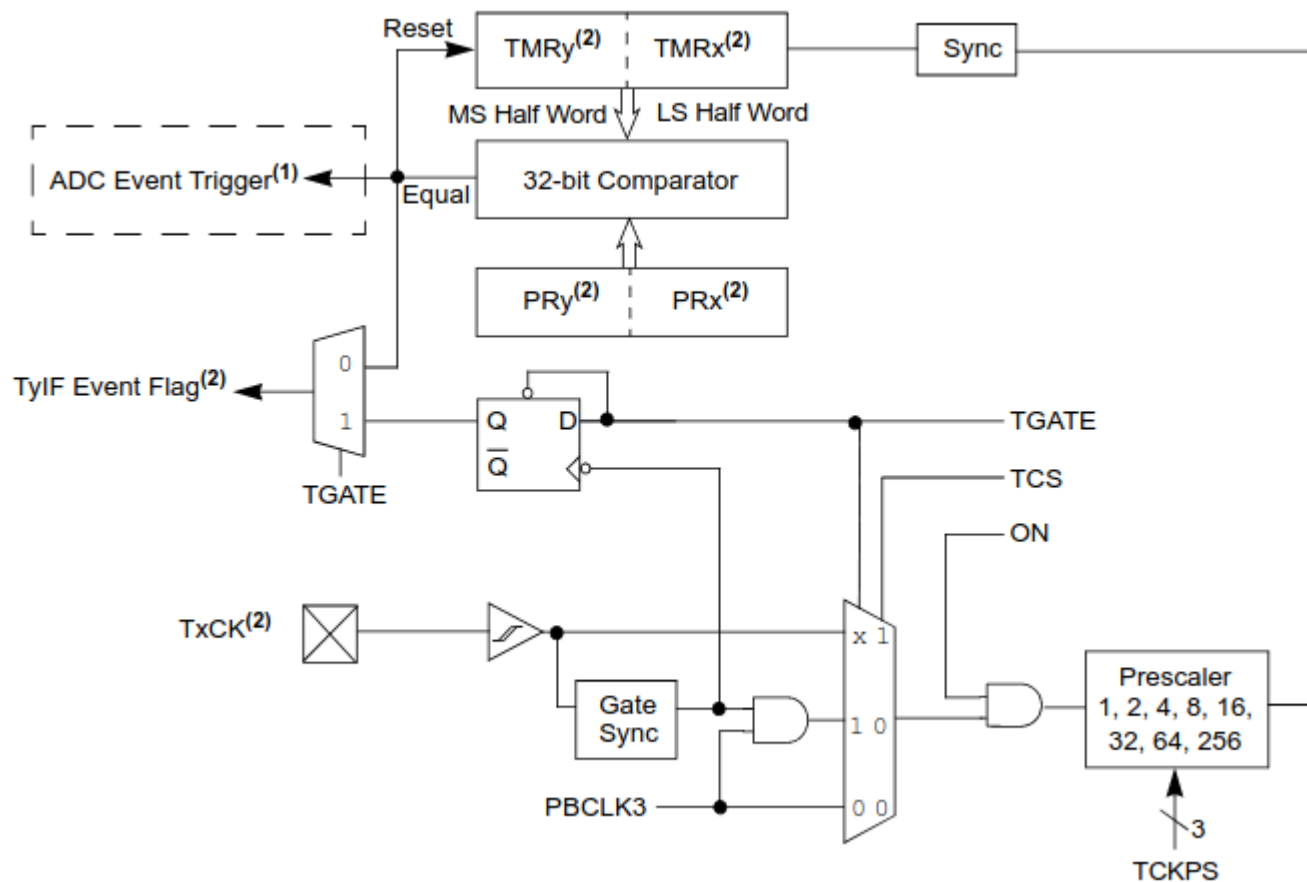
Tajmer 1



Tajmeri 2...9 - 16 bitni mod



Tajmeri 2...9 - 32 bitni mod





This work is licensed under a Creative Commons Attribution-ShareAlike 3.0 Unported License. It makes use of the works of Mateus Machado Luna.

