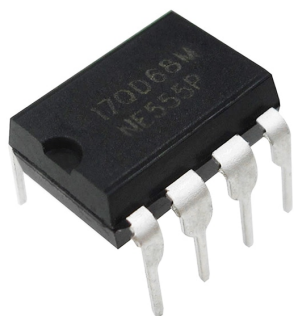


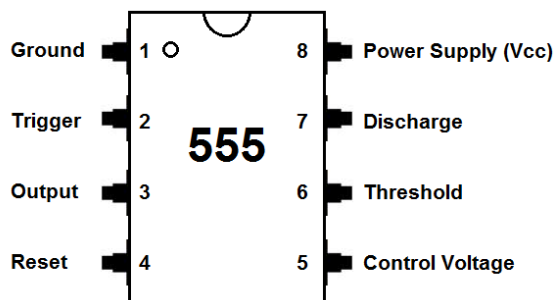
NE555 kolo

NE555¹ predstavlja jednostavno, jeftino i pristupačno kolo dizajnirano 1970. godine. Već naredne godine započeta je proizvodnja, a i danas je jedno od najpopularnijih integrisanih kola koja su ikada napravljena. Kolo je poznato kao 'The IC Time Machine' ili IC timer i primenjuje se, kao što i sam naziv otkriva, u mnogim tajmerskim i multivibratorskim aplikacijama. Jednostavno je za upotrebu i veoma pouzdano, a primenjuje se za precizno generisanje impulsa, pravljenje kašnjenja, širinsko impulsnu modulaciju (PWM), frekvencijsku modulaciju itd.

Na slici 1(b) označeni su pinovi NE555 čipa. Na pin 1 vezuje se masa (**ground**), dok se na pin 8 (**power supply**) dovodi napon napajanja čipa. Promenom napona na **trigger** i **threshold** pinu (2 i 6) utiče se na stanja na izlazu (**output** - pin 3). Dovođenjem logičke 0 na **reset** pin (4) moguće je izvršiti reset celokupnog kola. **Discharge** pin (7) je open collector i zadužen je za pražnjenje eksternog kondenzatora. Pin 5, odnosno, **control voltage** pin odnosi se na upravljanje naponskim nivoima.



(a) NE555 čip

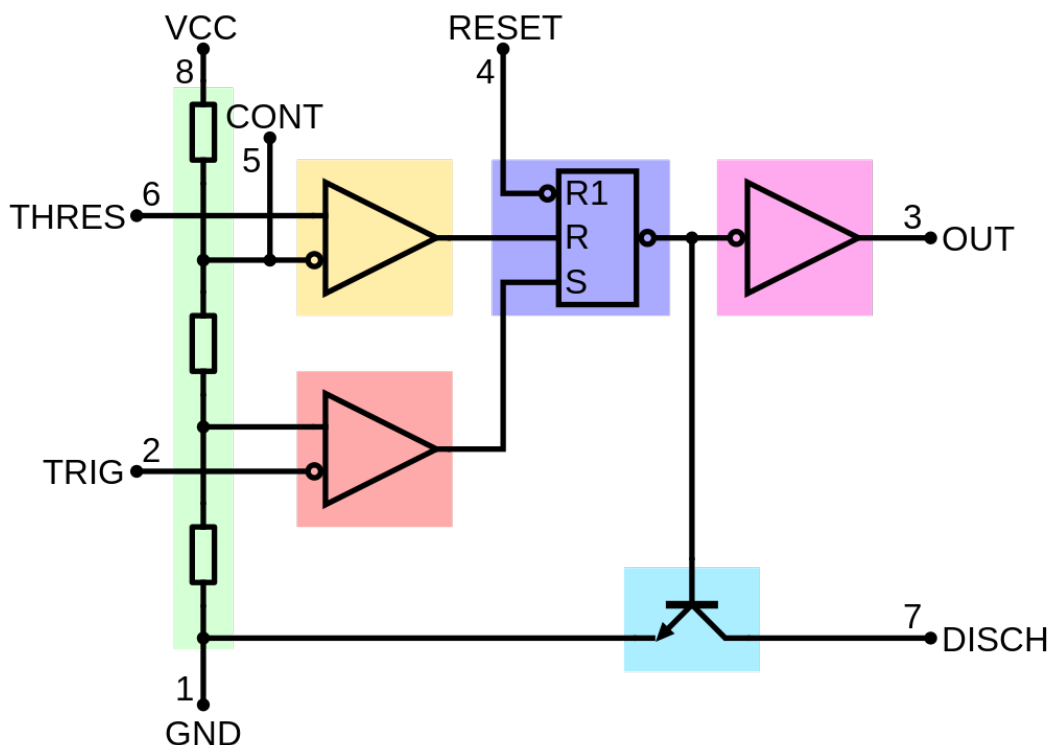


(b) Pinovi NE555 čipa

Slika 1: NE555

Unutrašnjost NE555 čipa ilustrovana je na slici 2. Šema ovog kola može se podeliti u nekoliko celina: naponski razdelnik, komparatorski deo, SR leč, tranzistor i izlazni stepen. Kako su u naponskom razdelniku tri otpornika od po $5\text{ k}\Omega$ otuda i potiče naziv kola, a shodno jednakim vrednostima otpornosti, na gornji komparator dovodi se $\frac{2}{3}V_{cc}$, a na donji $\frac{1}{3}V_{cc}$. Izlazima komparatora utiče se na stanja na R i S ulazu SR leča, čime se menja i stanje na izlazu samog NE555 kola.

¹<https://www.ti.com/lit/ds/symlink/ne555.pdf>



Slika 2: Šema NE555 kola

Tajmersko kolo NE555 realizuje se u 3 moguća moda, kao bistabilno, monostabilno i astabilno kolo:

- *Monostabilno* kolo radi samo u jednom stabilnom stanju. Kao što će kasnije biti objašnjeno, usled pražnjenja kondenzatora, dolazi do vraćanja kola na stabilno stanje. Primer za jednostavnije razumevanje ovog moda jeste vodokotlić ili kvaka na vratima.
- *Bistabilno* kolo ima dva stabilna stanja (0 i 1). Da bi se aktiviralo kolo potrebno je pritisnuti taster. Povratak sa 1 na 0 se događa samo ukoliko se desi reset. Ukoliko se napravi analogija sa hemijskom olovkom jednostavno je shvatiti da će pritiskom opruge (prekidača) hemijska olovka moći da se koristi sve dok se ponovo pritiskom ne isključi.
- *Astabilno* kolo nemstabilno stanje i predstavlja oscilator. Događaju se stalne promene stanja između logičke 0 i 1.

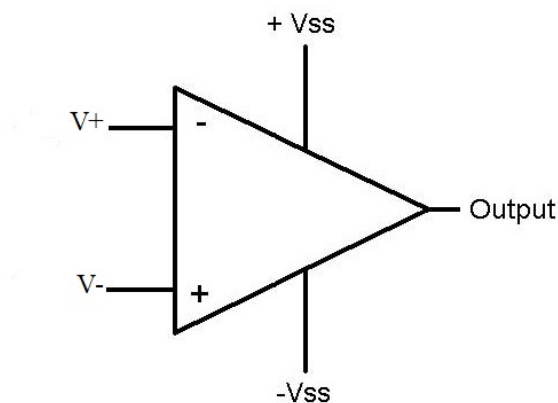
U nastavku sledi detaljno objašnjenje ovih multivibratorskih kola, kao i njihove realizacije pomoću NE555 kola.

Podsetnik

U ovom poglavlju dat je kratak podsetnik na operacioni pojačavač u funkciji komparatora, kao i SR leč. Dati elementi predstavljaju osnovne delove NE555 kola i njihovo razumevanje je od značaja u daljoj analizi šeme i načina rada NE555 kola.

Komparator

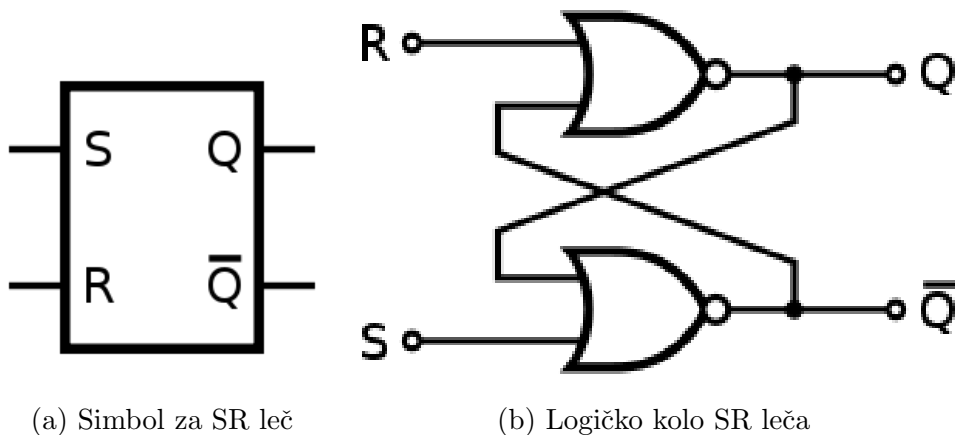
Komparator upoređuje dva napona i na izlazu daje digitalni signal koji pokazuje koji je ulaz komparatora veći. Ukoliko je $V+$ veći, izlaz komparatora je logička 1, odnosno $+V_{ss}$. Ako je $V-$ veće od $V+$ na izlazu se dobija $-V_{ss}$ - logička 0. U kolu NE555 komparator predstavlja prvi element koji analogni signal poređenjem prevodi u digitalni signal koji se vodi na SR leč. U zavisnosti od napona koji se menjaju na ulazima komparatora, menja se i komplementarno stanje SR leča, tj. izlaz celog kola.



Slika 3: Komparator

SR leč

SR leč spada u bistabilna kola, što znači da ima dva stabilna stanja - 0 i 1. Promene između dva stabilna stanja vrše se dejstvom pobudnih signala. Leč je kolo čija stanja se menjaju u proizvoljnim trenucima, za razliku od flipflopova, koji predstavljaju sinhrona kola sa takt signalom. SR leč predstavlja osnovni memorijski element i ima mogućnost čuvanja jednog bita podataka. Spajanjem i kombinovanjem ovakvih kola realizuju se složeniji digitalni sistemi. Na slici 4(a) prikazan je simbol SR leča, kao i odgovarajuće logičko kolo realizovano pomoću dva NILI (NOR) kola (4(b)). Povratna sprega u logičkom kolu SR leča omogućava pamćenje stanja.



(a) Simbol za SR leč

(b) Logičko kolo SR leča

Slika 4: SR leč

Ukoliko se na S ulaz SR leča dovede logička 1 izlaz donjeg NILI kola, odnosno \bar{Q} je logička 0 bez obzira na stanje na drugom ulazu datog NILI kola (slika 5(a)). Stanje na \bar{Q} se propagira na ulaz gornjeg NILI kola. Ukoliko se na R ulaz SR leča postavi logička 0, tada je izlaz gornjeg NILI kola logička 1, dakle Q izlaz SR leča je logička 1. Navedena stanja opisuju setovanje SR leča. Ukoliko se dalje stanje S ulaza promeni na logičku 0 i stanje na R ulazu ostane na logičkoj 0, izlazi SR leča se neće promeniti, odnosno, SR leč pamti prethodno stanje (latch). Postavljanjem R ulaza na logičku 1, dok je na S ulazu logička 0, SR leč se resetuje, tj. na izlazu gornjeg NILI kola je logička 0, koja se propagira na ulaz donjeg NILI kola, na čijem izlazu je tada logička 1. U slučaju da se na S i R ulaz SR leča dovedu logičke 1, stanja na izlazima nisu komplementarna (Q i \bar{Q}), i dati slučaj predstavlja zabranjeno stanje.

Input		Output
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

(a) NILI kolo

S	R	Q	\bar{Q}
0	0	latch	latch
0	1	0	1
1	0	1	0
1	1	0	0

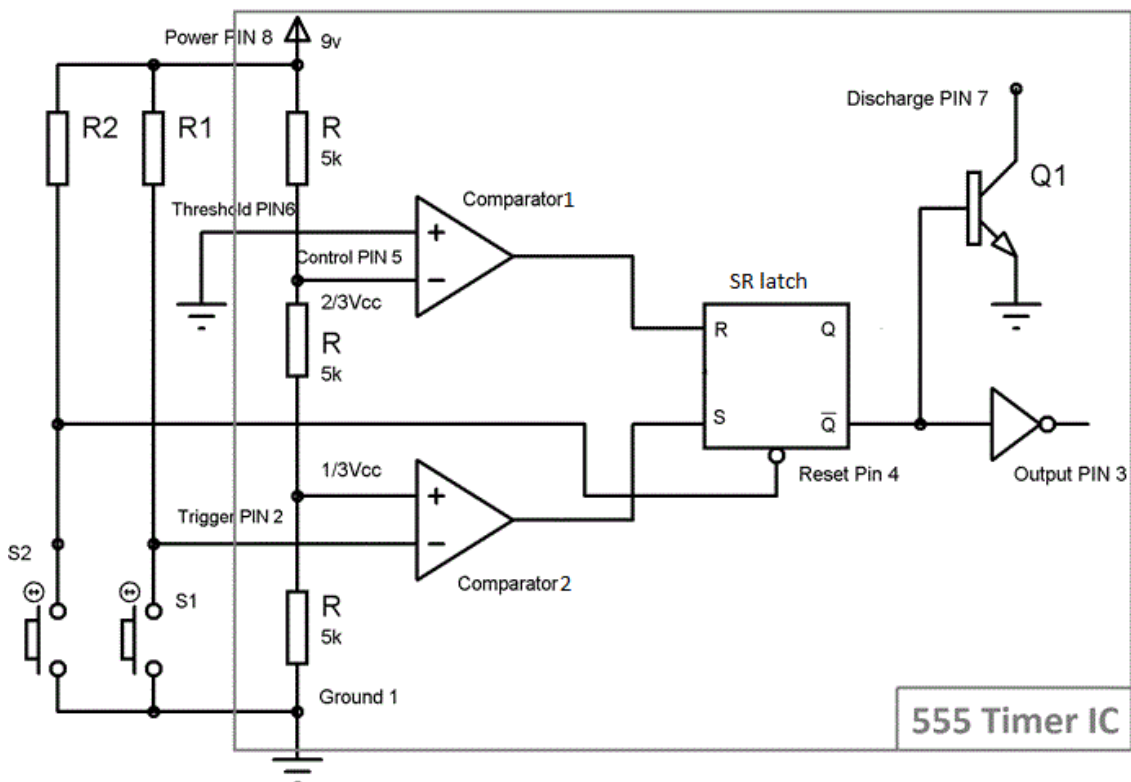
(b) SR leč

Slika 5: Funkcionalne tabele

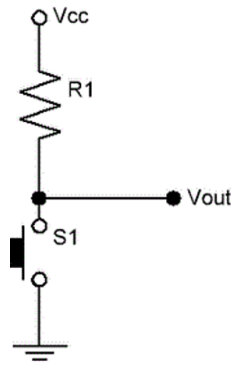
Modovi rada NE555 kola

Bistabilni mod

Kako bi se NE555 kolo konfigurisalo za rad u bistabilnom modu neophodno je na threshold pin čipa povezati masu, a na pinove reset i trigger dovesti napone koji su određeni pritiskanjem, odnosno, otpuštanjem tastera S1 i S2. Ukoliko je taster pritisnut, napon koji se vodi na pinove je 0 V. Nasuprot tome, ukoliko je taster otpušten na pinove se vodi napon jednak naponu napajanja V_{cc} . Ovo je omogućeno upotrebom takozvanog pull-up otpornika (slika 7). Naime, pull-up otpornik predstavlja otpornik preko koga se linija povezuje na napon napajanja i na taj način, ukoliko nema spoljašnjeg uticaja na stanje linije, pull-up otpornik definiše stanje logičke 1. U slučaju kada ne bi bilo pull-up otpornika, kada taster nije pritisnut, pin bi bio u stanju visoke impedanse i ponašao se kao antena za smetnje iz okoline, a to dovodi do problema nedefinisanog stanja na pinu. Pri odabiru vrednosti za pull-up otpornik potrebno je voditi računa o povećanju disipacije snage za male vrednosti otpornosti, odnosno, o smanjenju napona na pinu, za prevelike vrednosti. Najčešće, vrednosti otpornosti pull-up otpornika su između 4,7 k Ω i 10 k Ω . Šema NE555 kola u bistabilnom modu prikazana je na slici 6.



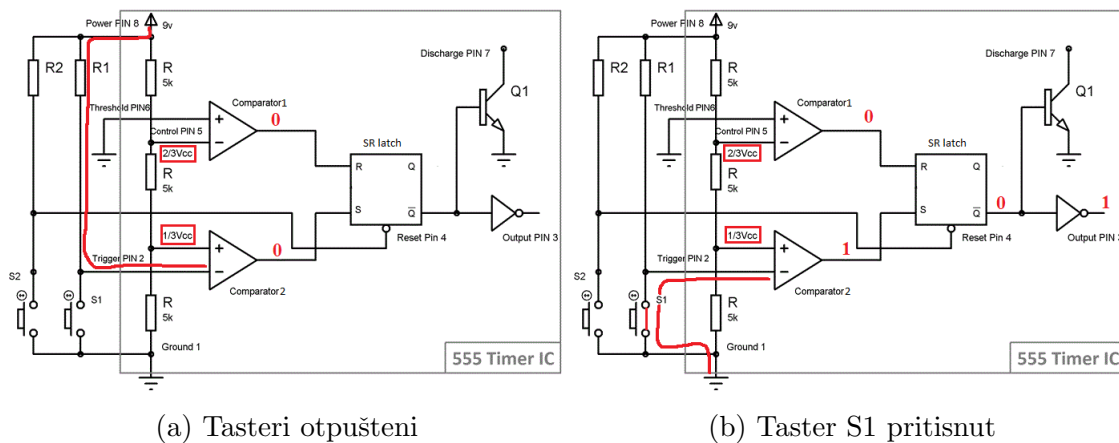
Slika 6: Šema NE555 kola za bistabilni mod



Slika 7: Pull-up otpornik i taster

Kako je vrednost napona na threshold pinu 0 V, plus ulaz komparatora 1 manji je od minus ulaza, na kome je $\frac{2}{3}V_{cc}$, što znači da je izlaz komparatora 1 logička 0. Ukoliko je taster S1 otpušten na trigger pinu uspostavlja se stanje logičke 1, odnosno, na pin se dovodi napon napajanja V_{cc} preko pull-up otpornika R1. Tada se na minus ulaz komparatora 2 dovodi napon V_{cc} koji je veći od napona na plus ulazu ($\frac{1}{3}V_{cc}$), što znači da je izlaz komparatora 2 logička 0. Na R i S ulaze SR leća dovode se logičke 0, što odgovara slučaju pamćenja prethodnog stanja. Opisani slučaj prikazan je na slici 8(a).

Pritiskom na taster S1 na TRIGGER pin dovodi se napon od 0 V, što znači da se na minus ulaz komparatora 2 dovodi 0 V, dok se na plus ulaz dovodi $\frac{1}{3}V_{cc}$, dakle, izlaz komparatora 2 je logička 1, što znači da se S ulaz SR leća postavlja na logičku 1 i kolo se setuje. Vrednost na \bar{Q} izlazu SR leća je sada logička 0, odnosno na izlazu NE555 kola uspostavlja se logička 1 - jedno od dva moguća stabilna stanja (slika 8(b)). Ukoliko ponovo otpustimo taster S1 ovo stanje se pamti.



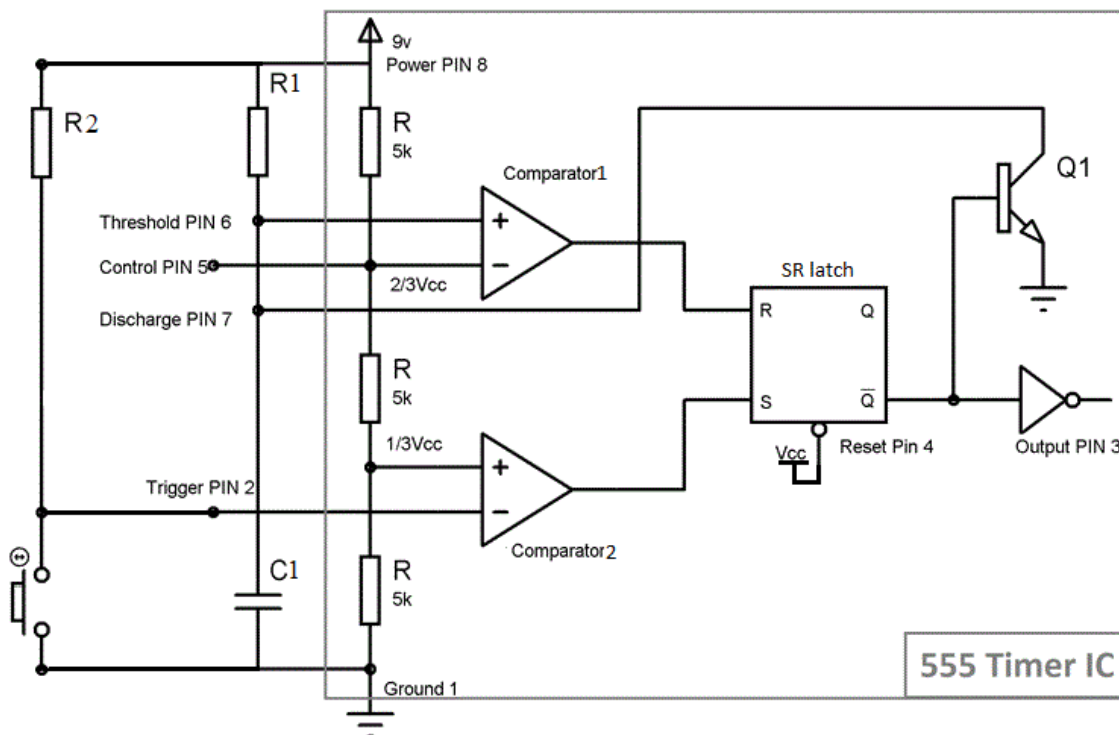
Slika 8: Bistabilni mod

Tasterom S2 definiše se stanje na reset pinu. Reset pin zadužen je za reset koji nadjačava ulaze i resetuje celokupno kolo. Dakle, kada je taster S2 otpušten na reset pin vodi se napon napajanja preko pull-up otpornika R2, odnosno, na pinu se definiše stanje logičke 1, koje se zatim invertuje, i kolo se ne resetuje. Kada se taster S2 pritisne, na reset pinu se definiše stanje logičke 0 (pin se preko tastera povezuje

na masu), koje nakon invertovanja dovodi do reseta celog kola, na čijem izlazu se tada uspostavlja stanje logičke 0 (stabilno stanje).

Monostabilni mod

Na slici 9 prikazana je šema NE555 kola u monostabilnom modu rada. Na reset pin dovodi se napon napajanja V_{cc} što znači da je reset celokupnog kola onemogućen. Neka je inicijalno kondenzator $C1$ koji skladišti određenu količinu naelektrisanja ispražnjen i kolo je u stabilnom stanju. Kako je tada napon na kondenzatoru 0 V, izlaz komparatora 1 je logička 0. Sa druge strane, ukoliko se taster pritisne, na trigger pin se vezuje masa i minus ulaz komparatora je manji u odnosu na plus ulaz, dakle, izlaz komparatora 2 koji se vodi na S ulaz SR leća je logička 1. Na ovaj način vrši se setovanje SR leća, čiji izlaz Q tada postaje logička 1, odnosno, inverovani izlaz \bar{Q} postaje logička 0. Izlaz NE555 kola je tada logička 1, odnosno, sistem je napustio stabilno stanje. Taster se otpušta. Kako je \bar{Q} logička 0, tranzistor $Q1$ je isključen, a kondenzator se puni preko otpornika $R1$. Kada napon na kondenzatoru poraste iznad vrednosti $\frac{2}{3}V_{cc}$, izlaz komparatora 1 postaje logička 1. Tada je stanje na R ulazu SR leća logička 1, a na S ulazu je logička 0, kako je taster otpušten. SR leć se tada resetuje i stanje na Q izlazu je logička 0, dok je na \bar{Q} logička 1, a na izlazu NE555 kola uspostavlja se logička 0 (stabilno stanje). Tranzistor $Q1$ se uključuje i provodi, te se kondenzator prazni kroz njega ka masi. Izlaz komparatora 1 postaje logička 0. Kako su na S i R ulazima SR leća tada logičke 0, leć pamti prethodno stanje izlaza.



Slika 9: Šema NE555 kola za monostabilni mod

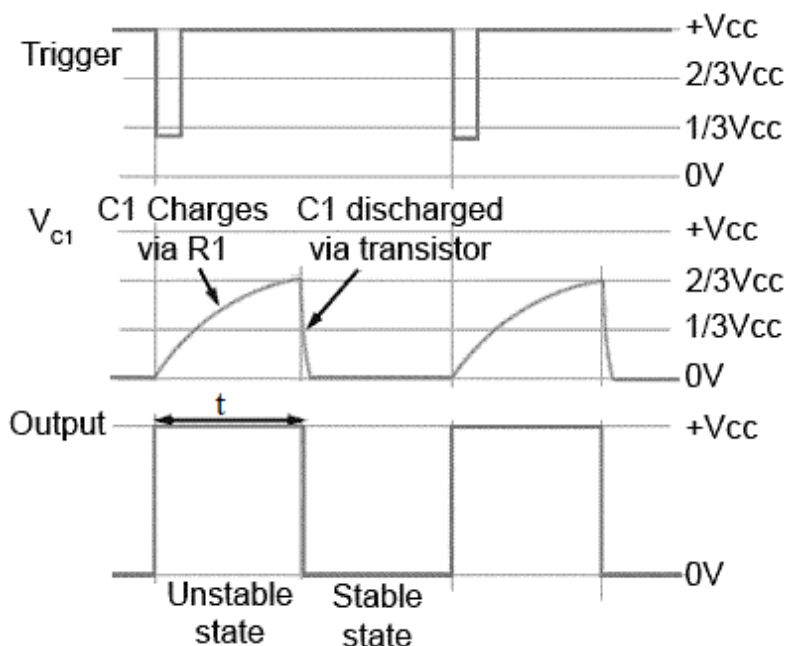
Na osnovu vrednosti otpornosti i kapacitivnosti moguće je odrediti trajanje impulsa na izlazu, odnosno, podešavanjem vrednosti R1 i C1 moguće je dobiti impuls određenog trajanja t. Naime, jednačina punjenja kondenzatora data je kao:

$$V_c = V_{cc} \cdot (1 - e^{-\frac{t}{R1C1}})$$

Iz nje se dalje može dobiti izraz za t:

$$\begin{aligned} \frac{2}{3}V_{cc} &= V_{cc} \cdot (1 - e^{-\frac{t}{R1C1}}) \\ \frac{2}{3} &= 1 - e^{-\frac{t}{R1C1}} \\ \frac{1}{3} &= e^{-\frac{t}{R1C1}} \\ \ln\left(\frac{1}{3}\right) &= -\frac{t}{R1C1} \\ t &= \ln(3) \cdot R1C1 \end{aligned}$$

Slika 10 ilustruje signal na trigger pinu, napon na kondenzatoru i signal na izlazu NE555 kola u monostabilnom modu rada.

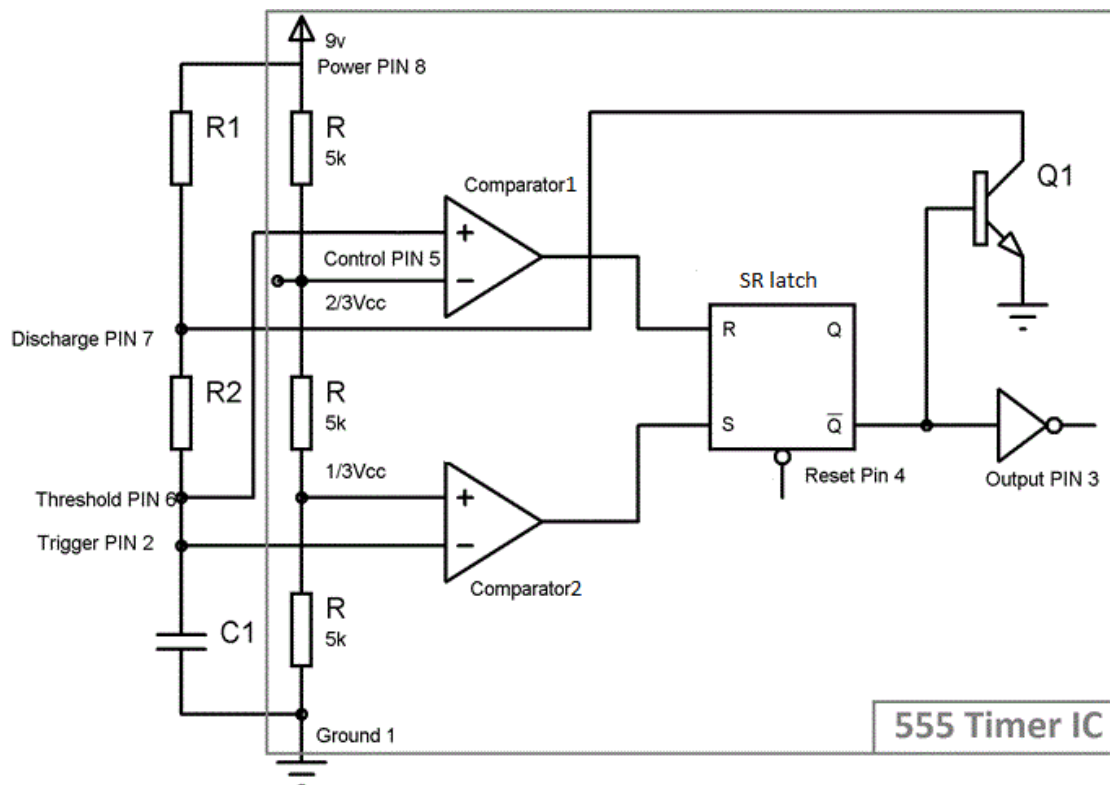


Slika 10: Promena izlaznog signala u skladu sa promenom napona na kondenzatoru

Astabilni mod

Astabilni mod rada moguće je realizovati dodavanjem otpornika i kondenzatora na način prikazan na slici 11. Neka je inicijalno kondenzator C1 ispražnjen, dakle, na komparatoru 2 izlaz je na logičkoj 1, dok je na izlazu komparatora 1 logička 0. Navedena stanja prouzrokuju setovanje SR leća, na čijem Q izlazu se uspostavlja logička 1, dok se na \bar{Q} izlazu uspostavlja logička 0, što dovodi do isključenja tranzistora i

logičke 1 na izlazu kola. U ovom slučaju, kondenzator se puni preko otpornika R1 i R2. Kada vrednost napona na kondenzatoru poraste iznad $\frac{1}{3}V_{cc}$ izlaz komparatora 1 se ne menja, a izlaz komparatora 2 postaje logička 0. Tada su stanja na R i S ulazu SR leća logičke nule, što odgovara slučaju pamćenja prethodnog stanja na izlazu. Daljim porastom napona na kondenzatoru stanja na izlazima komparatora se ne menjaju, sve dok se napon ne poveća iznad $\frac{2}{3}V_{cc}$, kada izlaz komparatora 1 prelazi u logičku 1, dok se na izlazu komparatora 2 uspostavlja logička 0. Na ovaj način SR leć se resetuje, a na izlazu NE555 kola je logička 0. Kako je na \bar{Q} izlazu logička 1, tranzistor Q1 se uključuje, a kondenzator se preko njega prazni ka masi. Kada napon na kondenzatoru opadne ispod $\frac{1}{3}V_{cc}$ stanje na izlazu kola se menja. Na ovaj način izlaz kola osciluje između 0 i 1. Odgovarajući signal na izlazu kola, kao i napon na kondenzatoru prikazani su na slici 12. Trajanje stanja logičke 0, kao i logičke 1, moguće je odrediti preko jednačina pražnjenja, odnosno, punjenja kondenzatora.



Slika 11: Šema NE555 kola za astabilni mod

Ukoliko posmatramo signale prikazane na slici 12 možemo uočiti da promena napona na kondenzatoru između $\frac{1}{3}V_{cc}$ i $\frac{2}{3}V_{cc}$ odgovara logičkoj 1 na izlazu NE555 kola, dok opadanje napona sa $\frac{2}{3}V_{cc}$ na $\frac{1}{3}V_{cc}$ odgovara logičkoj 0 na izlazu. Za određivanje trajanja logičke 1 u izlaznom signalu posmatramo jednačine punjenja kondenzatora:

- Punjenje kondenzatora na $\frac{1}{3}V_{cc}$:

$$\begin{aligned}\frac{1}{3}V_{cc} &= V_{cc} \cdot (1 - e^{-\frac{t'}{RC}}) \\ \frac{1}{3} &= 1 - e^{-\frac{t'}{RC}} \\ \frac{2}{3} &= e^{-\frac{t'}{RC}} \\ \ln\left(\frac{2}{3}\right) &= -\frac{t'}{RC} \\ t' &= \ln\left(\frac{3}{2}\right) \cdot RC\end{aligned}$$

- Punjenje kondenzatora na $\frac{2}{3}V_{cc}$:

$$\begin{aligned}\frac{2}{3}V_{cc} &= V_{cc} \cdot (1 - e^{-\frac{t''}{RC}}) \\ \frac{2}{3} &= 1 - e^{-\frac{t''}{RC}} \\ \frac{1}{3} &= e^{-\frac{t''}{RC}} \\ \ln\left(\frac{1}{3}\right) &= -\frac{t''}{RC} \\ t'' &= \ln(3) \cdot RC\end{aligned}$$

Trajanje logičke 1 u izlaznom signalu dobija se iz prethodno izvedenih izraza za t' i t'' kao:

$$\begin{aligned}t_1 &= t'' - t' \\ t_1 &= RC(\ln(3) - \ln(\frac{3}{2})) \\ t_1 &= RC(\ln(3) - \ln(3) + \ln(2)) \\ t_1 &= 0,693 \cdot RC \\ t_1 &= 0,693 \cdot (R_1 + R_2) \cdot C_1\end{aligned}$$

Za određivanje trajanja logičke 0 u izlaznom signalu posmatramo jednačine pražnjenja kondenzatora:

- Pražnjenje kondenzatora na $\frac{2}{3}V_{cc}$:

$$\begin{aligned}\frac{2}{3}V_{cc} &= V_{cc} \cdot e^{-\frac{t''}{RC}} \\ \frac{2}{3} &= e^{-\frac{t''}{RC}} \\ \ln\left(\frac{2}{3}\right) &= -\frac{t''}{RC} \\ t'' &= \ln\left(\frac{3}{2}\right) \cdot RC\end{aligned}$$

- Pražnjenje kondenzatora na $\frac{1}{3}V_{cc}$:

$$\frac{1}{3}V_{cc} = V_{cc} \cdot e^{-\frac{t'''}{RC}}$$

$$\frac{1}{3} = e^{-\frac{t'''}{RC}}$$

$$\ln\left(\frac{1}{3}\right) = -\frac{t'''}{RC}$$

$$t''' = \ln(3) \cdot RC$$

Trajanje logičke 0 u izlaznom signalu je:

$$t_2 = t''' - t''$$

$$t_2 = RC(\ln(3) - \ln(\frac{3}{2}))$$

$$t_2 = RC(\ln(3) - \ln(3) + \ln(2))$$

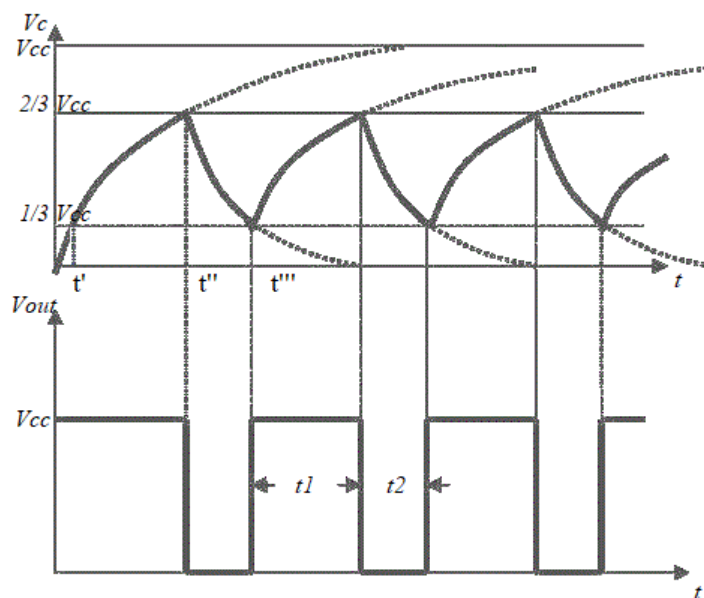
$$t_2 = 0,693 \cdot RC$$

$$t_2 = 0,693 \cdot R_2 \cdot C_1$$

Ukupna perioda izlaznog signala dobija se kao:

$$T = t_1 + t_2$$

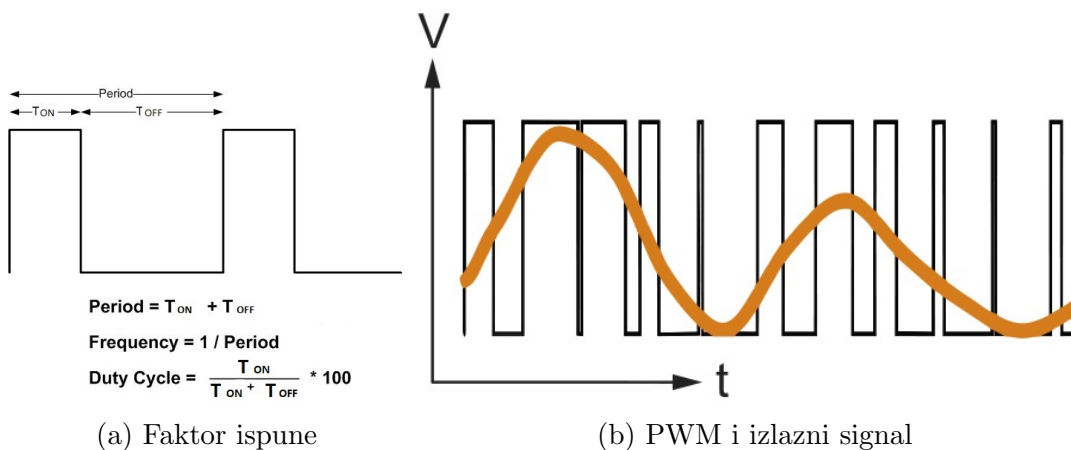
$$T = 0,693 \cdot (R_1 + 2R_2) \cdot C_1$$



Slika 12: Promena izlaznog signala u skladu sa promenom napona na kondenzatoru

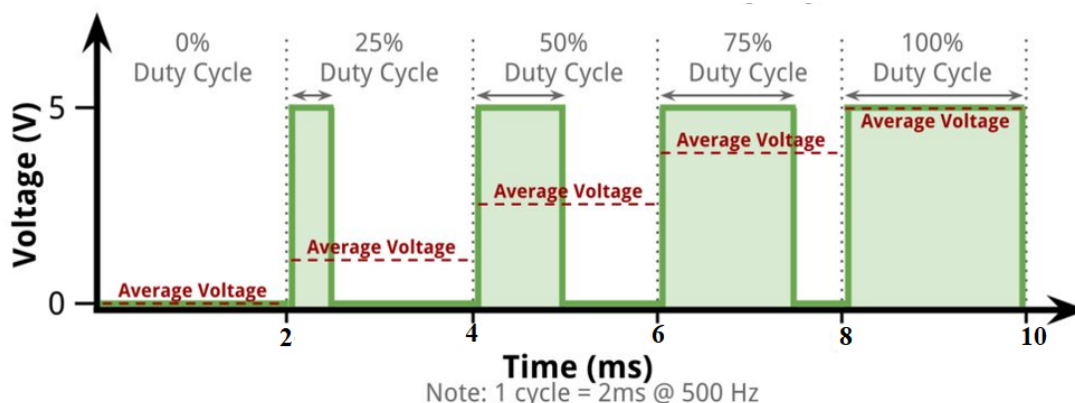
NE555 PWM

PWM (Pulse-Width Modulation) je tehnika za dobijanje analognih vrednosti signala na osnovu trajanja digitalnih signala. Kao što je prikazano na slici 13, impulsi kojima se manipuliše imaju period visokog naponskog nivoa - T_{ON} i vreme tokom kog je zastupljen niski naponski nivo - T_{OFF} . Faktor ispune (*duty cycle*) definiše procenat maksimalnog napona koji se dovodi nekom uređaju, odnosno koliko je dugo trajalo uključeno stanje u odnosu na celokupnu periodu.

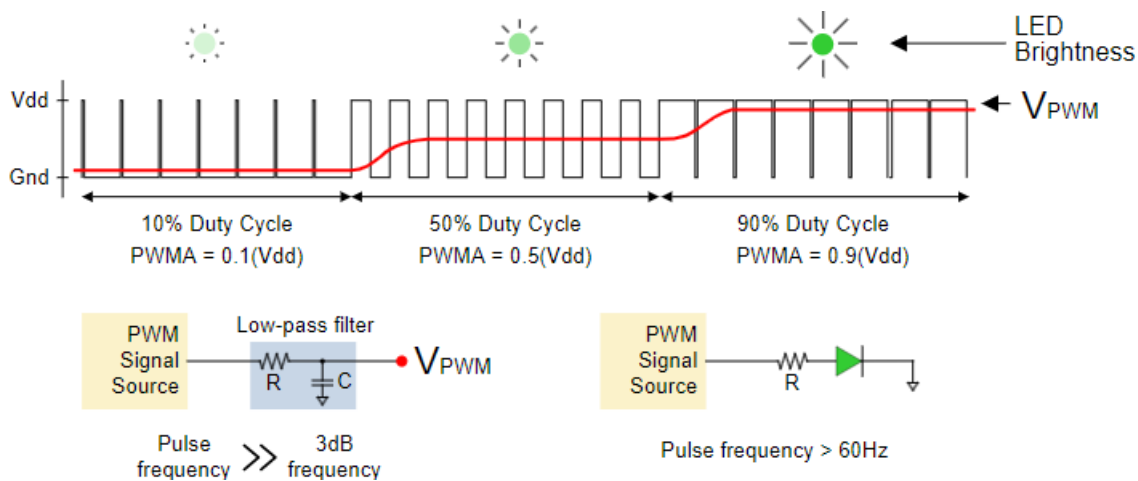


Slika 13: PWM - faktor ispune

Na slici 14 se može videti da ukoliko je samo 25% periode stanje VCC (5 V), a 1,5 s traje nizak nivo (0 V) dobiće se analogna vrednost napona od 1,25 V. Isto tako, za širinu impulsa (T_{ON}) koja iznosi 75% uređaju se dovodi visok napon (5 V) tokom 75% ukupne periode. To znači da će se ostvariti prosečan napon koji će iznositi 3,75 V. Jednostavno rečeno: ukoliko se PWM signal dovodi na primer na LED, rezultat različitih širina PWM impulsa će biti drugačiji nivo osvetljenja, kao na slici 15. Zapravo sijalica u poslednjem slučaju najjače svetli jer joj se stalno dovode širine impulsa koje daju 90% snage, te će izlazni napon biti 90% napona napajanja.

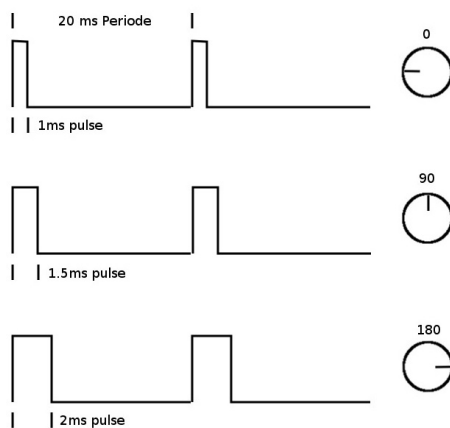


Slika 14: Uticaj faktora ispune na izlazni signal



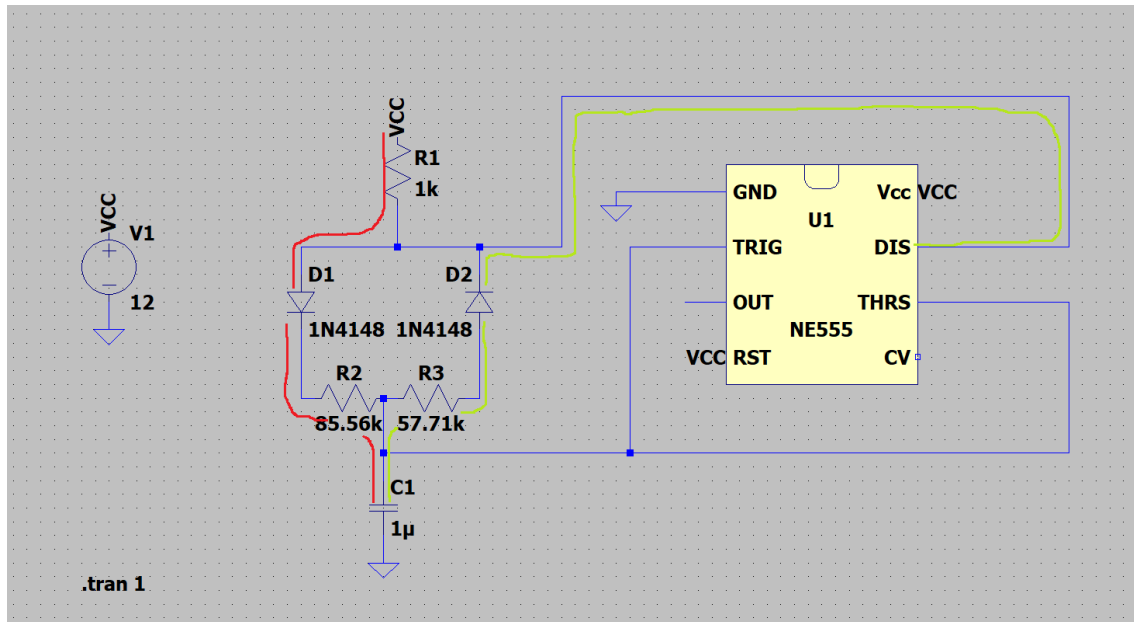
Slika 15: Promena nivoa osvetljenja LED promenom faktora ispune

LED ne može istovremeno biti i uključena i isključena, stoga sijalica 'vidi' srednju vrednost signala. Različiti elektromotori, zvučnici, LED ili neka druga komponenta koja se pobuđuje PWM signalom predstavlja trome komponente kojima je potrebno neko vreme da bi reagovali na uključanja i isključanja. Impedansa potrošača je kapacitivna. Zato se aktuatori koji primaju ovakav signal mogu predstaviti kao low pass filter jer neće reagovati na visokofrekventne promene napona. Zbog svega navedenog, dolazi do usrednjavanja i dobija se efektivni napon na potrošaču. PWM signalom može se uticati i na smer servo motora. Tako na primer, impuls u trajanju od 1 ms označava neutralni položaj, T_{ON} u trajanju od 1,5 ms dovodi do zakretanja za 90° , a 2 ms znače potpunu promenu smera (slika 16).



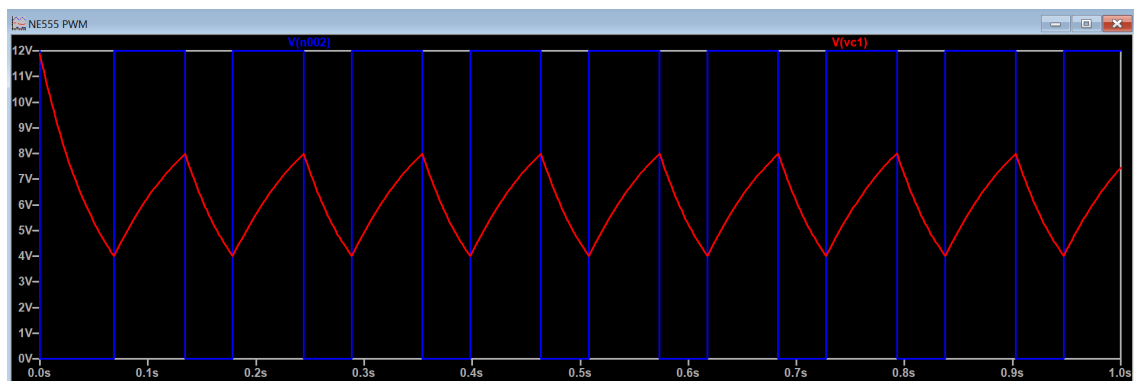
Slika 16: Promena pozicije motora promenom faktora ispune

Uz pomoć NE555 kola i potencijometra moguće je dobiti upravo PWM signal, što je prikazano na slici 17. Podešavanjem potencijometra dolazi do promene otpornosti R_2 i R_3 . Shodno tome, razlikovaće se i period punjenja, odnosno pražnjenja kondenzatora koji će uticati na promenu faktora ispune. Realizacija sa diodama koja je data na slici 17 omogućava proticanje struje u jednom smeru, odnosno samo preko odgovarajuće diode. Kondenzator se puni preko diode D_1 i otpornika R_2 (crvena linija), dok se pražnjenje događa preko otpornika R_3 i diode D_2 (zelena linija) ka pinu 7 (discharge).



Slika 17: LTSpice šema NE555 kola za realizaciju PWM

Izlazni signal NE555 kola u datoj konfiguraciji, kao i napon na kondenzatoru C1 prikazan je na slici 18.



Slika 18: LTSpice simulacija - signal na izlazu NE555 kola i napon na kondenzatoru

Punjenje kondenzatora odgovara logičkoj 1 na izlazu, a period trajanja ovog impulsa može se dobiti kao:

$$T_{ON} = 0,693 \cdot (R1 + R2) \cdot C1$$

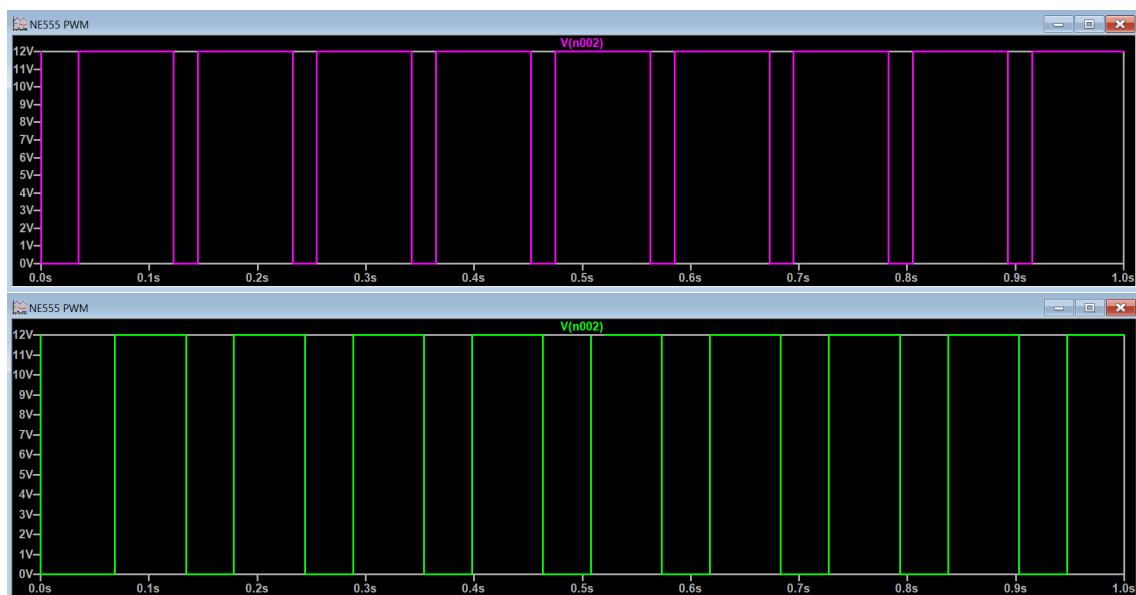
Za razliku od toga, period pražnjenja kondenzatora odgovara stanju logičke 0 na izlazu i njegovo trajanje određuje se kao:

$$T_{OFF} = 0,693 \cdot R3 \cdot C1$$

Ukupna perioda signala na izlazu jednaka je:

$$T = T_{ON} + T_{OFF} = 0,693 \cdot (R1 + R2 + R3) \cdot C1$$

Iz navedenog izraza može se uočiti da se promenom vrednosti na potenciometru (R_2 i R_3) utiče na periodu izlaznog signala. Na slici 19 prikazani su signali koji se dobijaju za različite vrednosti otpornosti na potenciometru.



Slika 19: LTSpice simulacija - PWM signal za vrednost otpornosti $R_3 \sim 27,85 \text{ k}\Omega$ (gore), $R_2 \sim 115,42 \text{ k}\Omega$ i $R_3 \sim 57,71 \text{ k}\Omega$, $R_2 \sim 85,56 \text{ k}\Omega$ (dole)